

Guía de ejercicios # 11 - Memoria Caché

Organización de Computadoras

UNQ

Memoria caché

1. Responder:

- ¿Por qué no alcanza contar sólo con una memoria principal? y ¿por qué la memoria caché resuelve este problema? (características).
 - ¿Qué se analizó para decidir cómo aprovechar la memoria caché?
 - ¿La cache también tiene direcciones y celdas? ¿cómo se llama dicha información?
2. La biblioteca de la escuela de magia *Howards*, es un espacio secreto, donde accede la profesora *Hooch* sólo cuando alguna persona necesita estudiar de algún libro. Además de que este hecho le cuesta mucha energía, **los libros son tan especiales que no pueden retirarse de la biblioteca**, por lo que *Hooch* debe hacer una copia de las páginas que le han pedido antes de salir.
- Suponer que *Harry* va el lunes a buscar los hechizos de la primera página de un libro, y el martes vuelve en búsqueda de los hechizos de la segunda página del mismo libro, ¿cuántas veces la profesora accede a la biblioteca?
 - Suponer que el miércoles *Harry* vuelve y solicita los hechizos de la página 3 del mismo libro, ¿cómo puede *Hooch* ahorrar su energía?
 - Ahora *Hooch* tiene autorización para hacer copias de los libros completos que le fueron solicitando, para guardarlos en el cajón de su escritorio y poder entregarlos desde allí. Si ella lo hiciera, ¿qué libros tendría en el cajón?

3. Responder:

- ¿Por qué es necesario tener funciones de correspondencia? ¿cómo se llaman?
- ¿Cómo se distribuyen los bits de una dirección en cada correspondencia?
- ¿Qué diferencia existe entre ambas funciones de correspondencia cuando se desea saber si el dato de una celda está cacheado?
- ¿Qué se utiliza para retornar el dato de la celda solicitada? ¿es igual para ambas funciones de correspondencia?
- ¿Qué significa que haya un Acierto o un Fallo?
- ¿Cuándo se produce un desalojo? ¿qué se realiza en dicho caso? ¿es igual para ambas funciones de correspondencia?

- ¿Para qué sirven las políticas de escritura? ¿qué diferencia hay en cada una?
- ¿Con qué etapa/s del ciclo de ejecución se relacionan las políticas de escritura?

Correspondencia asociativa

Para todos los ejercicios de esta sección se cuenta con una memoria caché con **correspondencia asociativa** y algoritmo de reemplazo FIFO.

4. Suponer una memoria principal de 32 celdas de un byte, y una memoria caché con 4 líneas y capacidad para almacenar un bloque de 4 celdas. Responder:
- ¿Cuántos bloques tiene la memoria principal?
 - ¿Qué tamaño tiene el tag? y ¿cuánto el índice?
 - ¿Qué capacidad total de datos debe tener la caché?
5. Suponer una memoria principal con direcciones de 16 bits y una memoria caché con 256 líneas y capacidad de almacenar un bloque de 4 celdas en cada línea. Si la CPU solicita la lectura de la celda con dirección **FA32**, **¿qué tag se debe buscar en la caché?**
6. Suponer una memoria caché que tiene el siguiente contenido:

00	345	00112233445566778899AABBCCDDEEFF
01	346	FFEEDDCCBBAA99887766554433221100
10	347	00112233445566778899AABBCCDDEEFF
11	348	FFEEDDCCBBAA99887766554433221100

- Si las direcciones de memoria tienen 16 bits, se utilizan 12 bits para el tag, y 4 bits para el índice, entonces ¿cuántas celdas entran en un bloque?
 - ¿Está cacheada la celda con dirección 3451? Explicar el algoritmo utilizado para llegar a la respuesta.
 - ¿Qué dato retorna la caché para dicha celda?
7. El chip 80286 (fabricado entre 1982 y 1993) tenía un bus de datos de 16 bits, pero un bus de direcciones de 24 bits, lo que lo generaba que la primera arquitectura de Intel sea capaz de soportar 16Mb de RAM. Suponer la siguiente memoria caché, adaptada a dicha arquitectura: 32 celdas por bloque, 256 líneas y correspondencia asociativa.
Determinar:

- (a) ¿Cómo se divide una dirección de memoria en tag e índice?
- (b) ¿Cómo se decide si la celda de la dirección FAFABA está en caché?
- (c) ¿Cuántas celdas contiene dicha memoria caché?

8. En base a la especificación del ejercicio 4:

- (a) Determinar, para cada acceso, si se produjo se un acierto o un fallo
- (b) Explicar un acierto y un fallo (diferente al primero por estar vacía la caché). ¿Hubo algún desalojo? ¿cuándo ocurre un desalojo y por qué?

Dirección	Tag	Nro línea	A/F
11100			
01100			
01111			
01110			
11111			
11100			
10100			
11001			
01000			

- (c) Dada la dirección 01110, ¿el dato de qué posición se debería retornar? ¿qué se utiliza para ello?

Correspondencia Directa

Para todos los ejercicios de esta sección se asume que las memorias caché tienen correspondencia directa.

9. Considerar una computadora con una memoria de 64 celdas de un byte, y una memoria caché con 4 líneas y bloques de 8 celdas por línea.

- (a) ¿Qué tamaño tienen las direcciones de esta memoria?
- (b) ¿Cuántos bits de una dirección se destinan para: tag, línea e índice? Explicar con una dirección de ejemplo.

10. ¿Cómo se divide una dirección de memoria de 16 bits en tag, línea e índice si la memoria caché tiene 4 celdas por bloque y 256 líneas? ¿Cómo se decide si la dirección FA32 está cacheada?

11. En base a la especificación del ejercicio 9:

- (a) Completar el tag y la línea de la caché a la que corresponde cada dirección:

Dirección	Tag	Nro línea
111000		
011001		
111111		
101000		
101001		

- (b) En base a la tabla anterior, listar todas las direcciones que se encuentran en la misma línea que la dirección 111000.

12. Suponer que la caché descrita en el ejercicio 9 está vacía, y que se realizan lecturas de direcciones en el orden dado a continuación:

- (a) Determinar, para cada acceso, si se produjo se un acierto o un fallo
- (b) Explicar un acierto y un fallo (diferente al primero por estar vacía la caché). ¿Hubo algún desalojo? ¿cuándo ocurre un desalojo y por qué?

Dirección	Tag	Nro línea	A/F
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

- (c) Dada la dirección 011001, ¿el dato de qué posición se debería retornar? ¿qué se utiliza para ello?

Desempeño de la caché

13. A la memoria principal de Q, se le incorpora una memoria caché de 4 líneas con bloques de 4 celdas. En base a la siguiente lista de accesos:

A000, A001, 3A10, 3A11, 3A1A, 3A1B, A003, A00A, A00C, A014

- (a) Resolver lo solicitado a continuación, primero para una función de correspondencia **asociativa** con algoritmo de reemplazo FIFO y luego para una **directa**:

- i. Determinar, para cada acceso, si se produjo un acierto o un fallo.
- ii. Explicar un acierto y un fallo (diferente al primero por estar vacía la caché).

- (b) ¿Cuándo hubo desalojos? y ¿cuántos en cada uno?
- (c) Analizando los resultados, ¿qué función de correspondencia es más conveniente?

14. Considerando que la caché tiene un tiempo de acceso de 0,2s, la memoria principal de 2s y que es despreciable el tiempo de CPU.

¿Cuánto tarda en ejecutarse la rutina teniendo en cuenta los fallos y aciertos calculados para la caché de ejercicio 13 (ambas correspondencias)?

Comparando ambas tasas, ¿qué conclusión se puede obtener al respecto?

15. Se tiene un sistema con una memoria principal con un tiempo de acceso de 3s, y una memoria caché cuyo tiempo de acceso es de 0,3s y cuya tasa de aciertos es del 90%. ¿Cuánto tiempo se tarda en leer 2000 celdas?