

Guía de ejercicios # 11 - Memoria Caché

Organización de Computadoras

UNQ

Memoria caché

1. Completar los espacios en blanco de las oraciones según corresponda:

- El principio de hace referencia al acceso de las direcciones cercanas a las accedidas recientemente.
- El principio de hace referencia al acceso recurrente de una dirección de memoria.
- Se utiliza la para reducir los tiempos de respuesta entre la memoria principal y la CPU
- A la copia de porciones de la memoria principal se llama
- Al leer una celda, primero se busca el en la caché.
- Los criterios para corresponder los bloques de memoria principal con las líneas de caché se llaman
- Si cada línea de caché se puede completar con cualquier dato de la memoria principal, se aplica la función de correspondencia, y el dato se identifica mediante el
- En la correspondencia asociativa se busca el tag en de manera
- Si cada bloque de memoria principal está asignado a una línea determinada, se aplica la función de correspondencia
- En la correspondencia directa se busca el tag en una
- Cuando una dirección está cacheada, se dice que ocurrió un y en caso de no estarlo un

2. La biblioteca de la escuela de magia *Howards*, está en una habitación secreta, donde accede la profesora *Hooch* sólo cuando alguna persona necesita estudiar de algún libro. Además de que este hecho le cuesta mucha energía, los libros son tan especiales que no pueden retirarse de la habitación, por lo que *Hooch* debe hacer una copia de las páginas que le han pedido antes de salir.

- Suponer que *Hermione* va el lunes a buscar los hechizos de la primera página de un libro, y el martes vuelve en búsqueda de los hechizos de la segunda página del mismo libro, ¿cuántas veces la profesora entra a la habitación secreta?

- Suponer que el miércoles *Harry* solicita los hechizos de la página 3 del mismo libro, ¿cómo puede *Hooch* ahorrar su energía?

- Ahora *Hooch* tiene autorización para hacer copias de los libros completos que le fueron solicitando, para guardarlos en su escritorio y poder entregarlos desde allí. Si ella lo hiciera, ¿qué libros tendría en su escritorio?

3. A partir de la rutina `cantElementos`, definida en la guía de arreglos:

- Ensamblar la rutina y cargarla en memoria a partir de la celda `A003`.
- A partir del mapa de memoria y el estado de los registros dado a continuación, hacer un **listado** de los accesos a memoria que se realizan, indicando las direcciones de las celdas que se leen y/o escriben:

	...
B000	F102
B001	A000
B002	A893
B003	0000
	:
FFEF	00A0
	...

- `R0 = B000`
- `PC = A003`
- `SP = FFEF`

Correspondencia asociativa

Para todos los ejercicios de esta sección se cuenta con una memoria caché con **correspondencia asociativa** y política de reemplazo **first-in-first-out**.

- Suponer una memoria principal de 32 celdas de un byte, y una memoria caché con 4 líneas y capacidad para almacenar un bloque de 4 celdas en cada línea. Responder:
 - ¿Cuántos bloques tiene la memoria principal?
 - ¿Qué tamaño tiene el tag?
 - ¿Qué capacidad total de datos debe tener la caché?

5. Suponer una memoria principal con direcciones de 16 bits y una memoria caché con 256 líneas y capacidad de almacenar un bloque de 4 celdas en cada línea. Si la CPU solicita la lectura de la celda con dirección FA32, **¿qué tag se debe buscar en la caché?**

6. Suponer una memoria caché que tiene el siguiente contenido:

00	345	00112233445566778899AABBCCDDEEFF
01	346	FFEEDDCCBBAA99887766554433221100
10	347	00112233445566778899AABBCCDDEEFF
11	348	FFEEDDCCBBAA99887766554433221100

- (a) Si las direcciones de memoria tienen 16 bits, se utilizan 12 bits para el tag, y 4 bits para el índice, entonces ¿cuántas celdas entran en un bloque?
- (b) ¿Está cacheada la celda con dirección 3451? Explicar el algoritmo utilizado para llegar a la respuesta.
- (c) ¿Qué valor retorna la caché para dicha celda?

7. El chip 80286 (fabricado entre 1982 y 1993) tenía un bus de datos de 16 bits, pero un bus de direcciones de 24 bits, lo que lo generaba que la primera arquitectura de Intel sea capaz de soportar 16Mb de RAM. Suponer la siguiente memoria caché, adaptada a dicha arquitectura: 32 celdas por bloque, 256 líneas y correspondencia asociativa. Determinar:

- (a) ¿Cómo se divide una dirección de memoria en tag e índice?
- (b) ¿Cómo se decide si la dirección FAFABA está en caché?
- (c) ¿Cuántas celdas contiene dicha memoria cache?
8. En base a la lista de accesos del ejercicio 3, y asumiendo que se tiene una memoria caché de 4 líneas y 4 celdas por bloque, **calcular los aciertos y fallos** provocados por la ejecución de la rutina.

Correspondencia Directa

Para todos los ejercicios de esta sección se asume que las memorias caché tienen correspondencia directa.

9. Considerar una computadora con una memoria de 64 celdas de un byte, y una memoria caché con 4 líneas y bloques de 8 celdas por línea.
- (a) ¿Qué tamaño tienen las direcciones de esta memoria?
- (b) ¿Cuántos bits de una dirección se destinan para: tag, línea e índice? Explicar con una dirección de ejemplo.
10. En base a la especificación del ejercicio 9:

(a) Completar el tag y la línea de la caché a la que corresponde cada dirección:

Dirección	Tag	Nro línea
111000		
011001		
111111		
101000		
101001		

(b) En base a la tabla anterior, listar todas las direcciones que se encuentran en la misma línea que la dirección 111000.

11. Suponer que la caché descrita en el ejercicio 9 está vacía, y que se realizan lecturas de direcciones en el orden dado a continuación.

- (a) Determinar, para cada lectura, si produjo un fallo o un acierto, completando los datos del cuadro
- (b) Explicar algún acierto y algún fallo (diferente al del inicio por estar vacía la caché).

Dirección	Tag	Nro línea	¿F/A?
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

12. ¿Cómo se divide una dirección de memoria de 16 bits en tag, línea e índice si la memoria caché tiene 4 celdas por bloque y 256 líneas? ¿Cómo se decide si la dirección FA32 está en caché?
13. En base a la lista de accesos del ejercicio 3, y asumiendo que se tiene una memoria caché de 4 líneas y 4 celdas por bloque, **calcular los aciertos y fallos** provocados por la ejecución de la rutina.

Desempeño de la caché

14. Se tiene un sistema con una memoria principal con un tiempo de acceso de 3s, y una memoria caché cuyo tiempo de acceso es de 0,3s y cuya tasa de aciertos es del 90%. ¿Cuánto tiempo se tarda en leer 2000 celdas?
15. Considerando que la caché tiene un tiempo de acceso de 0,2s, la memoria principal de 2s y que es despreciable el tiempo de CPU:
- (a) ¿Cuánto tarda en ejecutarse la rutina teniendo en cuenta los fallos y aciertos calculados para una caché con **correspondencia asociativa** (ver ejercicio 8)?
- (b) ¿Cuánto tarda en ejecutarse la rutina teniendo en cuenta los fallos y aciertos calculados para una caché con **correspondencia directa** (ver ejercicio 13)?