

Guía de ejercicios # 11 - Jerarquía de memoria y Memoria Caché

Organización de Computadoras

UNQ

Motivación

En esta sección analizarás las situaciones donde una memoria o almacenamiento caché es útil y necesario.

	...
B000	F102
B001	A000
B002	A893
B003	0000
	⋮
FFEF	00A0
	...

1. La biblioteca de la escuela de magia *Howards* está en una habitación secreta donde acceden la profesora *Hooch* sólo cuando alguna persona necesita estudiar algún hechizo. Además de que acceder a esa habitación le lleva mucha energía mágica, estos libros son tan especiales que no pueden retirarse de esa habitación. Entonces *Hooch* hace una copia de las páginas que le han pedido antes de salir de ahí.

- R0 = B000
- PC = A003
- SP = FFEE

- (a) Suponer que *Hermione* va el lunes a buscar el primer hechizo del libro monstruoso de los monstruos, y el martes vuelve en búsqueda del segundo hechizo del mismo libro, ¿cuántas veces la profesora *Hooch* entra a la habitación secreta?
- (b) Suponer que el miércoles *Harry* pide el hechizos de la pagina 3 del mismo libro, ¿cómo puede *Hooch* ahorrar su energía mágica?
- (c) La profesora *McGonnagal* la autoriza a *Hooch* a hacer copias de los libros completos que les han pedido para tenerlos en su escritorio y que puedan leerlos allí. Si ella lo hiciera, ¿qué libros tendría en su oficina?

2. Dada la documentación de la rutina `cantElementos`, implementada en la guía 9:

cantElementos	
Requiere	Un arreglo de valores en <i>BSS</i> (16) almacenado a partir de la dirección que indica R0, y que finaliza con el primer elemento cuyo valor es 0x0000
Modifica	??
Retorna	En R6 la cantidad de elementos del arreglo

Resolver los siguientes ejercicios:

- (a) Ensamblar la rutina y cargarla en memoria a partir de la celda A003.
- (b) Hacer un listado de los accesos a memoria que se realizan, es decir las direcciones de las celdas que se leen o escriben, suponiendo el siguiente estado de memoria y registros:

Correspondencia asociativa

Asumí que todos los ejercicios de esta sección tienen una memoria caché con **correspondencia asociativa** y política de reemplazo *first-in-first-out*.

3. Usando una memoria caché de 4 líneas y 4 celdas por bloque, calcular los aciertos y fallos provocados por la ejecución de la rutina del ejercicio 2 (considerar la lista de accesos).
4. Suponer una memoria principal de 32 celdas de un byte y una memoria caché con 4 líneas y capacidad de almacenar **un bloque de 4 celdas** en cada línea.
 - (a) ¿Cuántos bloques tiene la memoria principal?
 - (b) ¿Qué tamaño tiene el tag?
 - (c) ¿Qué capacidad total de datos debe tener la caché?
5. Suponer una memoria principal con direcciones de 16 bits y una memoria caché con 256 líneas y capacidad de almacenar **un bloque de 4 celdas** en cada línea. Si la CPU pide la lectura de la celda FA32, ¿Que tag se debe buscar en la caché?
6. Suponer una memoria caché que tiene el siguiente contenido:

00	345	00112233445566778899AABBCCDDEEFF
01	346	FFEEDDCCBBAA99887766554433221100
10	347	00112233445566778899AABBCCDDEEFF
11	348	FFEEDDCCBBAA99887766554433221100

- (a) Si las direcciones de memoria tienen 16 bits y el tag es de 12 bits entonces hay 4 bits que se usan para distinguir la palabra/índice. ¿Cuántas celdas entran en un bloque?

- (b) ¿Está cacheada la celda 3451?
- (c) ¿Qué valor retorna la caché para esa celda?

7. El chip 80286 (fabricado entre 1982 y 1993) tenía un bus de datos de 16 bits, pero un bus de direcciones de 24 bits, lo que lo hacía la primera arquitectura de Intel capaz de soportar 16Mb de RAM. Suponer la siguiente memoria caché, adaptada a dicha arquitectura:

- (a) 32 celdas por bloque
- (b) 256 líneas
- (c) correspondencia asociativa

Determinar:

- (a) ¿Cómo se divide una dirección de memoria en *tag* y *palabra*?
- (b) ¿Cómo se decide si la dirección FAFABA está en caché?
- (c) ¿Cuántas celdas contiene dicha memoria cache?

Correspondencia Directa

Para los ejercicios de esta sección se asume que las memorias caché tienen correspondencia directa

- 8. Suponiendo una memoria caché de 4 líneas y 4 celdas por bloque, calcular aciertos y fallos en el escenario del ejercicio 2.
- 9. Considerar una computadora con una memoria de 64 celdas de un byte y una memoria cache con 4 líneas y bloques de 8 celdas por línea.
 - (a) Que tamaño tienen las direcciones de esta memoria?
 - (b) ¿Cuántos bits de una dirección se destinan a: *tag*, *línea* y *palabra*?
 - (c) Explicar lo anterior usando una dirección como ejemplo.

10. Considerando el escenario del ejercicio 9, mencionar el tag y la línea de la caché a la que corresponde cada dirección:

Dirección	Tag	Nro. línea
111000		
011001		
111111		
101000		
101001		

- 11. Considerando el escenario del ejercicio 9, listar todas las direcciones en la misma línea que la dirección 111000.
- 12. Suponer que la caché descrita en el ejercicio 9 está vacía, y que se realizan lecturas de direcciones en el siguiente orden. Determinar para cada lectura si ésta produjo un fallo o un acierto.

Dirección	Tag	Nro. línea	¿F/A?
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

13. ¿Cómo se divide una dirección de memoria de 16 bits en *tag*, *línea* y *palabra* si la memoria caché con tiene 4 celdas por bloque y 256 líneas? ¿Cómo se decide si la dirección FA32 está en caché?

Correspondencia asociativa por conjuntos

Esta correspondencia combina aspectos de las dos anteriores. Las líneas se agrupan en conjuntos para responder de manera directa cada bloque de memoria principal con un conjunto dentro de la caché, y dentro de cada conjunto los bloques se almacenan con un criterio asociativo. Dicho de otra forma, las celdas de memoria tendrán un único conjunto en el que pueden almacenarse y dentro de ese conjunto, pueden ir a cualquier línea.

- 14. Cuantos bits de una dirección se destinan a: *tag*, *conjunto* y *palabra* en el siguiente esquema:
 - Una memoria principal de 32 celdas de un byte
 - Una memoria cache con:
 - (a) Bloques de 4 celdas
 - (b) 4 líneas
 - (c) correspondencia asociativa por conjuntos, conjuntos de 2 líneas

Desempeño (performance) de la caché

- 15. Se tiene un sistema con una memoria principal con un tiempo de acceso de 3s, y una memoria caché cuyo tiempo de acceso es de 0,3s y cuya tasa de aciertos es del 90%. ¿Cuánto tiempo se tarda en leer 2000 celdas?
- 16. Suponer los fallos y aciertos de programa que se analizó en el ejercicio 3, y considerando que la caché tiene tiempo de acceso es de 0,2s, la memoria principal tiene un tiempo de acceso de 2s y que es despreciable el tiempo de CPU, ¿cuánto tarda en ejecutarse el programa?
- 17. Suponer los fallos y aciertos de programa que se analizó en el ejercicio 8, y considerando que la caché tiene tiempo de acceso es de 0,2s, la memoria principal tiene un tiempo de acceso de 2s y que es despreciable el tiempo de CPU, ¿cuánto tarda en ejecutarse el programa?