

Guía de ejercicios # 11 - Jerarquía de memoria y Memoria Caché

November 15, 2022

Objetivos

Que el/la estudiante pueda:

- Conocer y comprender la jerarquía de memorias
- Comprender la necesidad de una memoria Caché
- Analizar como funcionan las correspondencias de memoria cache
- Entender cual es el impacto del desempeño de de una cache

1 Motivación

1. En un juzgado cuyo volumen de datos es grande, se almacenan los expedientes en un edificio anexo ubicado a 10 cuadras, y estos expedientes no pueden retirarse del archivo. Diariamente los abogados visitan el juzgado y piden consultar determinados folios (hojas) de los expedientes y el empleado debe entonces trasladarse hasta el archivo para pedir una copia de cada folio.
 - (a) Suponer que la abogada Perez pide los folios 10 a 15 del expediente A ¿Cuántas veces va Ana, la empleada del juzgado, hasta el archivo?
 - (b) Suponer que al día siguiente el abogado Rodriguez pide los folios 13 a 18 del expediente A ¿Cómo puede Ana optimizar su trabajo para caminar menos?
 - (c) El compañero Claudio le sugiere a Ana que traiga al mostrador los expedientes completos a medida que se los van pidiendo. Si ella lo hiciera ¿Qué expedientes quedarían en el mostrador?
2. Dada la documentación de la rutina `cantElementos`, implementada en la guía 9:

<code>cantElementos</code>	
Requiere	Un arreglo de valores en $BSS(16)$ almacenado a partir de la dirección que indica <code>R0</code> , y que finaliza con el primer elemento cuyo valor es <code>0x0000</code>
Modifica	??
Retorna	En <code>R6</code> la cantidad de elementos del arreglo

Resolver los siguientes ejercicios:

- (a) Ensamblar la rutina y cargarla en memoria a partir de la celda: A003
- (b) Hacer un listado de los accesos a memoria que se realizan, es decir las direcciones de las celdas que se leen o escriben, suponiendo el siguiente estado de memoria y registros

	...
B000	F102
B001	A000
B002	A893
B003	0000
	:
	:
FFEF	00A0
	...

- R0 = B000
- PC = A003
- SP = FFEE

Correspondencia asociativa

Todos los ejercicios de esta sección tienen una memoria caché con **correspondencia asociativa**

3. Usando una memoria caché de 4 líneas y 4 celdas por bloque, calcular los aciertos y fallos provocados por la ejecución de la rutina del ejercicio 2 (considerar la lista de accesos).
4. Suponer una memoria principal de 32 celdas de un byte y una memoria caché con 4 líneas y capacidad de almacenar **un bloque de 4 celdas** en cada línea.
 - (a) ¿Cuántos bloques tiene la memoria principal?
 - (b) ¿Qué tamaño tiene el tag?
 - (c) ¿Qué capacidad total de datos debe tener la caché?
5. Suponer una memoria principal con direcciones de 16 bits y una memoria caché con 256 líneas y capacidad de almacenar **un bloque de 4 celdas** en cada línea. Si la CPU pide la lectura de la celda FA32, ¿Qué tag se debe buscar en la caché?
6. Suponer una memoria caché que tiene el siguiente contenido:

00	345	00112233445566778899AABBCCDDEEFF
01	346	FFEEDDCBBAA99887766554433221100
10	347	00112233445566778899AABBCCDDEEFF
11	348	FFEEDDCBBAA99887766554433221100

- (a) Si las direcciones de memoria tienen 16 bits y el tag es de 12 bits entonces hay 4 bits que se usan para distinguir la palabra. ¿Cuántas palabras entran en un bloque?

- (b) ¿Está cacheada la celda 3451?
 - (c) ¿Qué valor retorna la caché para esa celda?
7. El chip 80286 (fabricado entre 1982 y 1993) tenía un bus de datos de 16 bits, pero un bus de direcciones de 24 bits, lo que lo hacía la primera arquitectura de Intel capaz de soportar 16Mb de RAM. Suponer la siguiente memoria cache, adaptada a dicha arquitectura:
- (a) 32 celdas por bloque
 - (b) 256 líneas
 - (c) correspondencia asociativa

Determinar:

- (a) ¿Cómo se divide una dirección de memoria en *tag* y *palabra*?
- (b) ¿Cómo se decide si la dirección FAFABA está en caché?
- (c) ¿Cuántas celdas contiene dicha memoria cache?

Correspondencia Directa

Para los ejercicios de esta sección se asume que las memorias caché tienen correspondencia directa

8. Suponiendo una memoria caché de 4 líneas y 4 celdas por bloque, calcular aciertos y fallos en el escenario del ejercicio 2.
9. Considerar una computadora con una memoria de 64 celdas de un byte y una memoria cache con 4 líneas y bloques de 8 celdas por línea.
- (a) Que tamaño tienen las direcciones de esta memoria?
 - (b) ¿Cuántos bits de una dirección se destinan a: *tag, línea* y *palabra*?
 - (c) Explicar lo anterior mediante una dirección de ejemplo
10. Considerando el escenario del ejercicio 9, mencionar el tag y la línea de la cache a la que corresponde cada dirección:

Dirección	Tag	Nro. línea
111000		
011001		
111111		
101000		
101001		

11. Considerando el escenario del ejercicio 9, listar todas las direcciones en la misma línea que la dirección 111000.
12. Suponer que la cache descrita en el ejercicio 9 está vacía, y que se realizan lecturas de direcciones en el siguiente orden. Determinar para cada lectura si ésta produjo un fallo o un acierto.

Dirección	Tag	Nro. línea	¿F/A?
111000			
011001			
011111			
011101			
111111			
111000			
101000			
101001			

13. ¿Cómo se divide una dirección de memoria de 16 bits en *tag*, *línea* y *palabra* si la memoria caché con tiene 4 celdas por bloque y 256 líneas? ¿Cómo se decide si la dirección FA32 está en caché?

Desempeño (performance) de la caché

14. Se tiene un sistema con una memoria principal con un tiempo de acceso de 3s, y una memoria caché cuyo tiempo de acceso es de 0,3s y cuya tasa de aciertos es del 90%. ¿Cuánto tiempo se tarda en leer 2000 celdas?
15. Suponer los fallos y aciertos de programa que se analizó **en el ejercicio 3**, y considerando que la caché tiene tiempo de acceso es de 0,2s, la memoria principal tiene un tiempo de acceso de 2s y que es despreciable el tiempo de CPU, ¿Cuánto tarda en ejecutarse el programa?
16. Suponer los fallos y aciertos de programa que se analizó **en el ejercicio 8**, y considerando que la caché tiene tiempo de acceso es de 0,2s, la memoria principal tiene un tiempo de acceso de 2s y que es despreciable el tiempo de CPU, ¿Cuánto tarda en ejecutarse el programa?