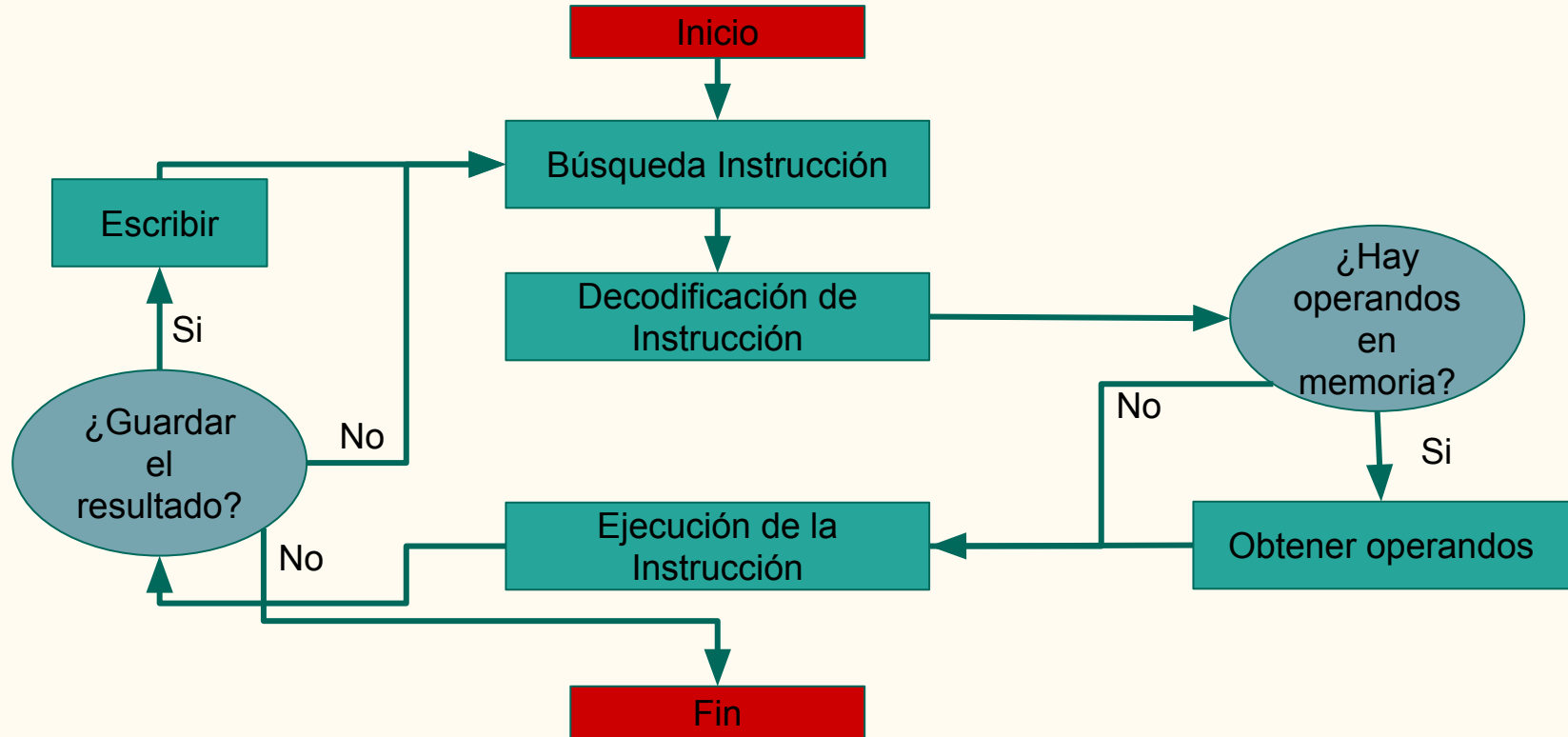


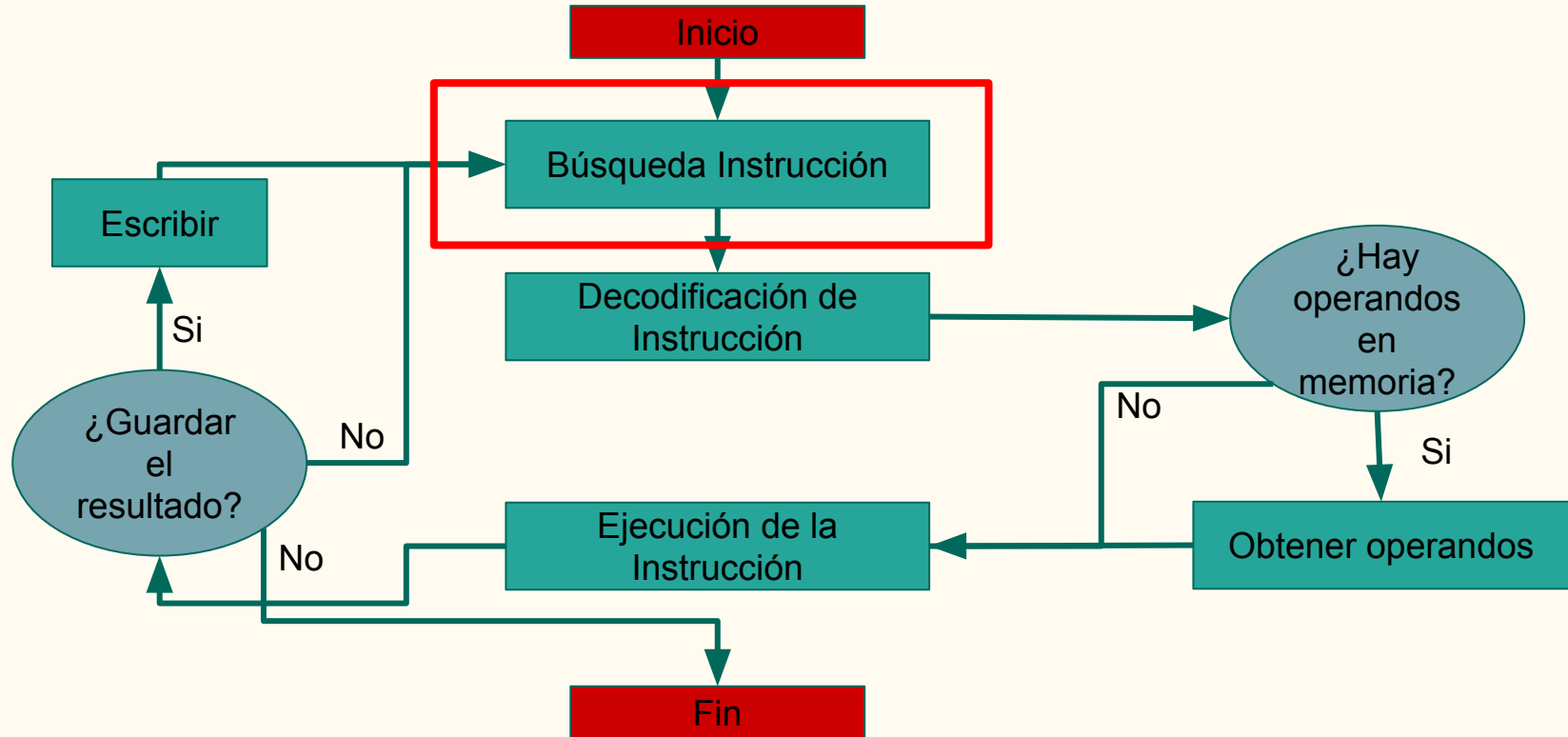
Repasemos

¿Que vimos la clase pasada?

Ciclo de instrucción



Ciclo de instrucción



PC e IR

Direccion	Contenido
...	...
0x0004	0x210F
0x0005	0x082E
0x0006	0xFFFFE
...	...

PC e IR

Direccion	Contenido
...	...
0x0004	0x210F
0x0005	0x082E
0x0006	0xFFFFE
...	...

Instrucción que se está
ejecutando



PC e IR

Direccion	Contenido
...	...
0x0004	0x210F
0x0005	0x082E
0x0006	0xFFFE
...	...

Instrucción que se está
ejecutando

Valor de IR

PC e IR

	Direccion	Contenido	
	
	0x0004	0x210F	
	0x0005	0x082E	← Instrucción que se está ejecutando
Dónde comienza la siguiente instrucción →	0x0006	0xFFFE	
	

Valor de IR

PC e IR



Rutinas

Rutinas

- Programa que queremos usar más de una vez en combinación con otros programas

Rutinas

- Programa que queremos usar más de una vez en combinación con otros programas
 - Lógica acotada

Rutinas

- Programa que queremos usar más de una vez en combinación con otros programas
 - Lógica acotada
 - Reusar código

Rutinas

- Programa que queremos usar más de una vez en combinación con otros programas
 - Lógica acotada
 - Reusar código
- Partir un problema en más problemas más pequeños (modularizar)

Rutinas

- Programa que queremos usar más de una vez en combinación con otros programas
 - Lógica acotada
 - Reusar código
- Partir un problema en más problemas más pequeños (modularizar)
- Documentar los programas (requiere, retorna, modifica)

¿Cómo incluimos rutinas en nuestros programas?

¿Cómo incluimos rutinas en nuestros programas?



¿Cómo incluimos rutinas en nuestros programas?



CALL y RET

CALL y RET

CALL y RET

- CALL
 - $[SP] \leftarrow PC; SP \leftarrow SP - 1; PC \leftarrow \text{Origen}$

CALL y RET

- CALL
 - $[SP] \leftarrow PC; SP \leftarrow SP - 1; PC \leftarrow \text{Origen}$
- RET
 - $PC \leftarrow [SP + 1]; SP \leftarrow SP + 1$

CALL y RET

- CALL
 - $[SP] \leftarrow PC$; $SP \leftarrow SP - 1$; $PC \leftarrow \text{Origen}$
- RET
 - $PC \leftarrow [SP + 1]$; $SP \leftarrow SP + 1$
- Etiquetas
 - Nombres para las direcciones de memoria

Pila



Pila

- Para poner un algo en la pila (plato nuevo)
 - PUSH

Pila

- Para poner un algo en la pila (plato nuevo)
 - PUSH
- Para sacar lo siguiente de la pila (sacar un plato)
 - POP

Pila

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

Pila

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0x997B
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF0

PUSH 0xF771

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF0

PUSH 0xF771

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF0

PUSH 0xF771

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

POP (retorna 0xF771)

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

POP (retorna 0xF771)

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF1

PUSH 0xF771

POP (retorna 0xF771)

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF2

PUSH 0xF771

POP (retorna 0xF771)

POP

Pila

Tope de pila →

Direccion	Celda
...	
0xFFFF0	0x872A
0xFFFF1	0xF771
0xFFFF2	0xFFA3
0xFFFF3	0xEEFF
...	

SP: 0xFFFF2

PUSH 0xF771

POP (retorna 0xF771)

POP (retorna 0xFFA3)

Arquitecturas Q: Q3

Arquitecturas Q: Q3

Instrucciones:

MUL, MOV, ADD, SUB, DIV, CALL, RET

Arquitecturas Q: Q3

Instrucciones:

MUL, MOV, ADD, SUB, DIV, CALL, RET

Operandos (Modos de direccionamiento):

Registro (modo registro)

Constante (modo inmediato)

Dirección memoria (modo directo)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (0000 0000 0000)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (0000 0000 0000)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
--------------------	--------------------------	-------------------------	----------------------	---------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
--------------------	---------------------	-------------------------	---------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
--------------------	-----------------------------

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
--------------------	--------------------------	-------------------------	----------------------	---------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
--------------------	---------------------	-------------------------	---------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
--------------------	-----------------------------

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
--------------------	--------------------------	-------------------------	----------------------	---------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
--------------------	---------------------	-------------------------	---------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
--------------------	-----------------------------

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
--------------------	--------------------------	-------------------------	----------------------	---------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
--------------------	---------------------	-------------------------	---------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
--------------------	-----------------------------

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
---------------------------	---------------------------------	--------------------------------	-----------------------------	----------------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
---------------------------	----------------------------	--------------------------------	----------------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
---------------------------	------------------------------------

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Desensamblar:

1. 0000 1000 0000 0000 1111 0000 1010 0011
1011 0000 0000 0000 1010 1110 1000 0000

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)

Cod Op (4 bits)	Relleno (0000 0000 0000)

Arquitecturas Q: Q3

Operación	Código
MUL	0000
MOV	0001
ADD	0010
SUB	0011
DIV	0111
CALL	1011
RET	1100

Modo	Código
Registro	100RRR
Inmediato	000000
Directo	001000

Ensamblar:

1. MUL R0,R2
CALL 0xA110

2. SUB R0, R1
RET

Cod Op (4 bits)	Modo destino (6 bits)	Modo origen (6 bits)	Destino (16 bits)	Origen (16 bits)
--------------------	--------------------------	-------------------------	----------------------	---------------------

Cod Op (4 bits)	Relleno (000000)	Modo origen (6 bits)	Origen (16 bits)
--------------------	---------------------	-------------------------	---------------------

Cod Op (4 bits)	Relleno (0000 0000 0000)
--------------------	-----------------------------